

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-005897

(43)Date of publication of application : 14.01.1993

(51)Int.Cl. G02F 1/1343  
G02F 1/133  
G02F 1/136

(21)Application number : 03-159163

(71)Applicant : SHARP CORP

(22)Date of filing : 28.06.1991

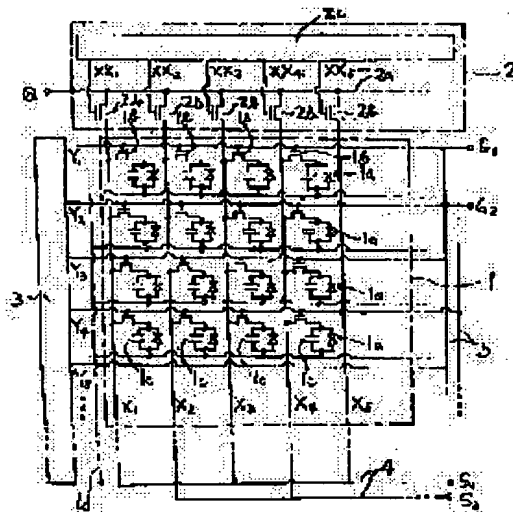
(72)Inventor : YAMASHITA TOSHIHIRO  
MATSUSHIMA YASUHIRO  
SHIMADA NAOYUKI  
TAKATO YUTAKA

## (54) METHOD FOR CHECKING ACTIVE MATRIX SUBSTRATE

### (57)Abstract:

**PURPOSE:** To easily and surely check a defect by providing a signal line for check connected to the other end of a data signal line and checking a data signal line driving circuit and the data signal line based on the output from a video signal line.

**CONSTITUTION:** Two signal lines 4 for data check to which data signal lines X are alternately connected are formed on the terminal side of data signal lines X from a data signal line driving circuit 2 to a picture element part 1, and data check signal input terminals S are provided in their end parts. Two signal lines 5 for scanning check to which scanning signal lines Y are alternately connected are formed on the terminal side of scanning signal lines Y from a scanning signal line driving circuit 3 to the picture element part 1, and scanning check signal output terminals G are provided in their end parts. In this case, check is performed through signal lines 4 for data check and signal lines 5 for scanning check in the terminals of data signal lines X and scanning signal lines Y, and these signal lines 4 and 5 are removed after the end of check.



## LEGAL STATUS

[Date of request for examination]

03.02.1995

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

2792634

[Date of registration]

19.06.1998

Best Available Copy

[Number of appeal against examiner's decision  
of rejection]

[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平 5 - 5 8 9 7

(43) 公開日 平成 5 年 (1993) 1 月 1 4 日

(51) Int. Cl. <sup>5</sup>	識別記号	庁内整理番号	F I	技術表示箇所
G02F 1/1343		9018-2K		
1/133	550	7820-2K		
1/136	500	9018-2K		

審査請求 未請求 請求項の数 2 (全 1 1 頁)

(21) 出願番号 特願平 3 - 1 5 9 1 6 3

(22) 出願日 平成 3 年 (1991) 6 月 2 8 日

(71) 出願人 0 0 0 0 0 5 0 4 9

シャープ株式会社

大阪府大阪市阿倍野区長池町 2 2 番 2 2 号

(72) 発明者 山下 俊弘

大阪市阿倍野区長池町 2 2 番 2 2 号 シャ  
ープ株式会社内

(72) 発明者 松島 康浩

大阪市阿倍野区長池町 2 2 番 2 2 号 シャ  
ープ株式会社内

(72) 発明者 島田 尚幸

大阪市阿倍野区長池町 2 2 番 2 2 号 シャ  
ープ株式会社内

(74) 代理人 弁理士 山本 秀策

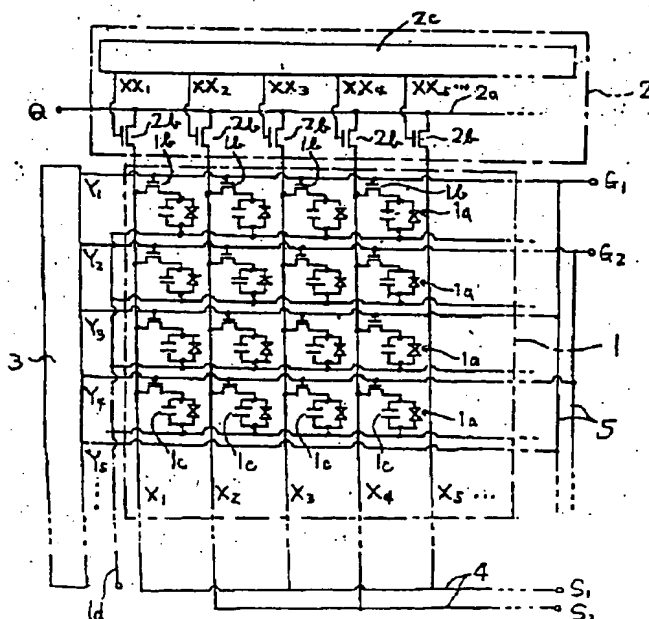
最終頁に続く

(54) 【発明の名称】 アクティブマトリクス基板の検査方法

(57) 【要約】

【構成】 データ信号線 X 及び走査信号線 Y の端末に形成したデータ側検査用信号線 4 及び走査側検査用信号線 5 を介して検査を行うと共に、検査終了後にこれらのデータ側検査用信号線 4 及び走査側検査用信号線 5 を除去する。

【効果】 1 本又は 2 本のデータ側検査用信号線 4 及び走査側検査用信号線 5 によって、多数の出力を有するデータ信号線駆動回路 2 や走査信号線駆動回路 3 及び多数のデータ信号線 X や走査信号線 Y 等の欠陥を容易かつ確実に検査することができる。



## 【特許請求の範囲】

【請求項 1】マトリクス状に配列された画素部、縦横に延伸する複数の走査信号線及びデータ信号線、並びに該データ信号線のそれぞれの一端をビデオ信号線に接続させるデータ信号線駆動回路を有するアクティブマトリクス基板の検査方法において、該データ信号線の他端に接続された検査用信号線を設けること、該データ信号線駆動回路を動作させながら、該検査用信号線に検査信号を送ること、その時に得られる該ビデオ信号線からの出力に基づいて該データ信号線駆動回路とデータ信号線の検査を行うことを包含するアクティブマトリクス基板の検査方法。

【請求項 2】マトリクス状に配列された画素部、縦横に延伸する複数の走査信号線及びデータ信号線、並びに該走査信号線のそれぞれの一端が接続された走査信号線駆動回路を有するアクティブマトリクス基板の検査方法において、該走査信号線の他端に接続された検査用信号線を設けること、該走査信号線駆動回路を動作させること、その時に得られる該検査用信号線からの出力に基づいて該走査信号線駆動回路と走査信号線の検査を行うことを包含するアクティブマトリクス基板の検査方法。

## 【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、液晶表示装置等における駆動回路を内蔵したアクティブマトリクス基板の検査方法に関する。

【0002】

【従来の技術】近年小型高精度化が著しい液晶表示装置のアクティブマトリクス基板は、画素部の TFT (Thin Film Transistor、薄膜トランジスタ) と共に、走査信号線駆動回路やデータ信号線駆動回路を同一基板上に形成する場合がある。このように駆動回路をアクティブマトリクス基板に内蔵することの利点としては、駆動用 IC を外付け実装するよりも低コスト化が図れること、外付け実装では不可能な微細ピッチへの対応が可能であること、及びパネルモジュールサイズをより小型化できること等が挙げられる。そして、これらの特徴を活かして 1 インチ程度の大きさの駆動回路をアクティブマトリクス基板に内蔵した液晶表示装置がビューファインダ用として既に商品化されている。

【0003】一般に、アクティブマトリクス基板に内蔵される駆動回路は、例えば NTS C 方式の場合であれば走査側で 15、75 kHz、データ側で数 MHz の高速動作を行う必要があるため、回路を構成する TFT にはアモルファスシリコンより移動度が大きいポリシリコンが使用される。図 2 はポリシリコン TFT を用いた従来の液晶表示装置の構成図であり、11 は画素部、12 はデータ信号線駆動回路、13 は走査信号線駆動回路、11b は対向電極と接続する共通線、12a はビデオ信号線、12b はアナログスイッチ、12c はシフトレジ

スタを表している。

【0004】このようなアクティブマトリクス基板の製造方法の一例を以下に示す。まず石英ガラス基板上に膜厚 1000 オングストローム程度のポリシリコン薄膜を低圧 CVD 法により全面に形成する。次にこのポリシリコン薄膜に Si のイオン注入を行いアモルファス化し、窒素雰囲気中において 600℃ 程度の温度で、例えば 100 時間程度の熱処理を行うことにより固相成長させポリシリコン薄膜を得る。次にこのポリシリコン薄膜をバターンニングして TFT チャンネル層及び付加蓄積容量の下部電極を形成する。この下部電極には P イオンを注入して低抵抗化する。その後、約 850℃ 程度の温度で膜厚 1000 オングストローム程度のゲート絶縁膜 SiO<sub>2</sub> を低圧 CVD 法により形成する。そして、さらに膜厚 5000 オングストローム程度のポリシリコン膜を低圧 CVD 法で全面に形成し、850℃ 程度の温度で N<sup>+</sup> ポリシリコンを堆積後拡散を行ってポリシリコン膜を低抵抗化した後、バターンニングしてゲート電極、走査信号線、付加蓄積容量の上部電極及びその配線を形成する。次に P イオンを注入して N<sup>+</sup> のソース・ドレイン領域を形成後、常圧 CVD で SiO<sub>2</sub> 層間絶縁膜を 7000 オングストロームに堆積し、コンタクトホールを形成して、スパッタ法により Al を堆積しバターンニングしてデータ信号線を形成する。その後、SiO<sub>2</sub> 絶縁膜をプラズマ CVD 法で全面に堆積後、画素電極と TFT のドレインとのコンタクトのためのスルーホールを形成する。画素電極は ITO をスパッタ法により 1000 オングストロームに堆積し、バターンニングを行い形成する。以上の工程に於いて、走査信号線駆動回路やデータ信号線駆動回路等の CMOS 周辺回路も同時に形成する。

【0005】上記のようにして製造されるアクティブマトリクス基板は、液晶を介して対向基板と向かい合わせに組み立て液晶表示装置として実際に駆動可能となった後であれば、光学的な検査により不良の検査を容易に行うことができる。しかしながら、この状態でアクティブマトリクス基板が不良であると判断された場合には、もはや不良箇所の修正は小型パネルに於いては非常に困難であり、しかも、対向基板との組み立て工程が全くの無駄となってしまう。従って、アクティブマトリクス基板は、TFT 等の形成工程が終わった段階で検査を行い、可能な場合は不良箇所の修正を行った上で対向基板との組み立て工程に送り出せるようにする必要がある。

【0006】そこで、このようなアクティブマトリクス基板を検査するために、従来は、針状プローバを接触させて直接各信号線間の導通状態を調べたりすることによる検査方法が実施されていた。また、非接触で検査を行う方法や、基板上に検査時のみ接続される検査回路を設けて検査する方法も用いられていた。このような検査方法の例としては、特開昭 57-38498 号や特開昭 60-2989 号が挙げられる。

【 0 0 0 7 】

【発明が解決しようとする課題】ところが、従来からの針状プローバを接触させて検査を行う方法では、小型高精度化されたアクティブマトリクス基板の各画素部が微細なために、検査によって画素を疵付けたり新たな断線が発生させるおそれが増大するという問題が発生していた。また、非接触による方法の場合も、検査箇所が微細でしかも膨大な数になるため、これらを全て高速かつ確実に検査を行うことは必ずしも容易ではないという問題が発生していた。さらに、基板上に検査回路を設ける方法では、接続のためのトランジスタ等の欠陥によって検査回路自体が不良となる可能性があり、確実な検査を行うことができないという問題があった。

【 0 0 0 8 】本発明は、上記事情に鑑み、容易かつ確実な検査を行うことができるアクティブマトリクス基板の検査方法を提供することを目的としている。

【 0 0 0 9 】

【課題を解決するための手段】本発明の検査方法は、マトリクス状に配列された画素部、縦横に延伸する複数の走査信号線及びデータ信号線、並びに該データ信号線のそれぞれの一端をビデオ信号線に接続させるデータ信号線駆動回路を有するアクティブマトリクス基板の検査方法において、該データ信号線の他端に接続された検査用信号線を設けること、該データ信号線駆動回路を動作させながら、該検査用信号線に検査信号を送ること、その時に得られる該ビデオ信号線からの出力に基づいて該データ信号線駆動回路とデータ信号線の検査を行うことを包含しており、そのことにより上記目的が達成される。

【 0 0 1 0 】前記検査用信号線は、前記データ信号線に共通に設けることもできる。

【 0 0 1 1 】 $n$ 本の前記検査用信号線を設け、各検査用信号線は前記データ信号線の $(n-1)$ 本おきに接続するようにすることもできる。

【 0 0 1 2 】前記検査用信号線は、検査終了後に除去するのが好ましい。

【 0 0 1 3 】本発明の他の検査方法は、マトリクス状に配列された画素部、縦横に延伸する複数の走査信号線及びデータ信号線、並びに該走査信号線のそれぞれの一端が接続された走査信号線駆動回路を有するアクティブマトリクス基板の検査方法において、該走査信号線の他端に接続された検査用信号線を設けること、該走査信号線駆動回路を動作させること、その時に得られる該検査用信号線からの出力に基づいて該走査信号線駆動回路と走査信号線の検査を行うことを包含している。

【 0 0 1 4 】前記検査用信号線は、前記走査信号線に共通に設けることもできる。

【 0 0 1 5 】 $n$ 本の前記検査用信号線を設け、各検査用信号線は前記走査信号線の $(n-1)$ 本おきに接続するようにすることもできる。

【 0 0 1 6 】前記検査用信号線は、検査終了後に除去す

るのが好ましい。

【 0 0 1 7 】

【作用】検査用信号線は、データ信号線や走査信号線と同様にポリシリコン膜や $A1$ 膜をパターニングして形成することができる。そして、請求項1に係る発明では、ビデオ信号線が複数本形成される場合に、データ信号線に共通に接続する1本の検査用信号線が形成され、ビデオ信号線が1本の場合には、データ信号線を1本おきにそれぞれ共通に接続する2本の検査用信号線が形成される。また、請求項2に係る発明では、走査信号線を1本おきにそれぞれ共通に接続する2本の検査用信号線が形成される。

【 0 0 1 8 】検査時には、データ信号線駆動回路又は走査信号線駆動回路を駆動させる。そして、請求項1に係る発明では、検査用信号線に検査信号を送り、そのときのビデオ信号線からの出力に基づいてデータ信号線駆動回路とデータ信号線の検査を行う。即ち、データ信号線駆動回路が所定のタイミングでアナログスイッチをON/OFFして各データ信号線とビデオ信号線とを順次接続するため、ビデオ信号線には検査信号に応じた信号が出力される。しかし、データ信号線駆動回路が正常にアナログスイッチを動作させることができなかったり、データ信号線に断線やリークが発生していた場合には、このビデオ信号線に出力される信号にも異常が現れ、これによってアクティブマトリクス基板の不良を発見することができる。しかも、データ信号線に交互に接続された複数のビデオ信号線又は1本おきにデータ信号線に接続された2本の検査用信号線によって、隣接するデータ信号線同士では、互いに検査信号が異なる経路となるため、これらを相互に区別して出力信号の異常や欠陥箇所を容易に検出することができるようになる。

【 0 0 1 9 】また、請求項2に係る発明では、走査信号線駆動回路が動作して各走査信号線に順に走査信号が送られることにより、この走査信号線の端末に接続された検査用信号線からも走査信号が順に出力される。しかし、走査信号線駆動回路が正常に走査信号を発しなかったり、走査信号線に断線やリークが発生していた場合には、検査用信号線の出力にも異常が現れ、これによってアクティブマトリクス基板の不良を発見することができる。しかも、走査信号線に1本おきにそれぞれ共通に接続する2本の検査用信号線により、隣接する走査信号線上の走査信号は互いに異なる検査用信号線に出力されるので、これらを相互に区別して出力信号の異常や欠陥箇所を容易に検出することができるようになる。

【 0 0 2 0 】上記検査の終了後には、例えば対向基板を組み立てた後の機械的な分断工程において、データ信号線や走査信号線と接続される検査用信号線が除去される。従って、検査時には1本又は2本の検査用信号線によって多数のデータ信号線や走査信号線を容易に一括して検査することができるが、検査終了後は、これらのデ

ータ信号線や走査信号線を確実に分離することができる。

【0021】

【実施例】本発明を実施例について以下に説明する。

【0022】本実施例の検査対象となるアクティブマトリクス基板は、図1に示すように、画素部1と、この画素部1と共に基板上に形成されたデータ信号線駆動回路2及び走査信号線駆動回路3とを備えている。画素部1には、液晶の各画素1aを構成する多数の画素電極と、これら各画素電極を制御する多数のTFT1bとが形成されている。そして、これら多数のTFT1bは、縦横に交差して形成された多数のデータ信号線Xと走査信号線Yとの交差部にマトリクス状に接続されている。また、画素部1には、各画素1aごとに付加容量1cを設けるための対向電極との共通線1dが形成されている。

【0023】データ信号線駆動回路2は、画素部1の各データ信号線Xと1本のビデオ信号線2aとを所定のタイミングで順に接続するための回路である。即ち、各データ信号線Xは、それぞれアナログスイッチ2bを介してビデオ信号線2aに接続されている。そして、シフトレジスタ2cの出力信号に基づいてこれらのアナログスイッチ2bが順にONとなり、これによって各データ信号線Xが順にビデオ信号線2aに接続される。ビデオ信号線2aの端部には、ビデオ信号入力端子Qが設けられている。

【0024】走査信号線駆動回路3は、各走査信号線Yに走査信号を出力するための回路である。即ち、シフトレジスタによって構成される走査信号線駆動回路3の各出力がそれぞれ各走査信号線Yに接続され、これによって各走査信号線Yに順に走査信号が出力されることになる。走査信号線Yに走査信号が出力されると、画素部1上のこの走査信号線Yに接続された各TFT1bがONとなり、その画素1aの画素電極とデータ信号線Xとを接続する。従って、走査信号線駆動回路3によって各走査信号線Yが順に選択され、この間に上記データ信号線駆動回路2がビデオ信号線2aから各データ信号線にビデオ信号を送ることにより、液晶表示装置のアクティブ表示動作が行われる。

【0025】上記データ信号線駆動回路2から画素部1に至るデータ信号線Xの端末側には、それぞれ各データ信号線Xを1本おきに接続する2本のデータ側検査用信号線4が形成される。そして、これらのデータ側検査用信号線4の端部には、それぞれデータ側検査信号入力端子Sが設けられている。また、走査信号線駆動回路3から画素部1に至る走査信号線Yの端末側には、それぞれ各走査信号線Yを1本おきに接続する2本の走査側検査用信号線5が形成される。そして、これらの走査側検査用信号線5の端部には、それぞれ走査側検査信号出力端子Gが設けられている。

【0026】走査側の検査を行う場合には、走査信号線

駆動回路3を動作させながら走査側検査信号出力端子Gからの出力をモニタする。すると、各走査信号線Yには、図2に示すように、順に走査信号が出力される。そして、走査信号線駆動回路3が正常に走査信号を出力し、かつ、走査信号線Yに断線やリーク等が発生していない場合には、2箇所の走査側検査信号出力端子Gにそれぞれ互い違いのバルス状の検査信号が出力される。なお、この場合の走査側検査信号出力端子Gでの出力電圧は極めて微小な電圧となるが、例えば走査信号線駆動回路3からの走査信号の電圧が15Vであるとする、走査側検査信号出力端子Gの出力電圧は約50mV程度（走査信号線が480本の場合）となるので、これを検出することは十分に可能である。

【0027】ところが、例えば走査信号線Yが断線していたとすると、図3に示すように、走査側検査信号出力端子G<sub>1</sub>の出力パルスに欠けが生じ検査信号が異常となる。また、走査信号線駆動回路3の不良により例えば走査信号線Y<sub>1</sub>が常時Hレベルになると、図4に示すように、走査側検査信号出力端子G<sub>1</sub>の検査信号も常時Hレベルとなる異常が発生する。

【0028】また、データ側の検査を行う場合には、データ信号線駆動回路2を動作させながらデータ側検査信号入力端子Sから検査信号を入力し、ビデオ信号入力端子Qの出力をモニタする。従って、シフトレジスタ2cの各出力XXには、図5に示すようなバルス信号が出力されて、各データ信号線Xが順にビデオ信号線2aに接続される。また、2本のデータ側検査信号入力端子Sには図示のような互い違いのバルス状の検査信号を入力する。すると、データ信号線駆動回路2が正常に動作し、かつ、データ信号線Xに断線やリーク等が発生していない場合には、ビデオ信号入力端子Qに図示のようなバルス信号が出力される。ところが、例えばシフトレジスタ2cの3番目の出力XX<sub>1</sub>が正常に出力されなかったとすると、出力XX<sub>1</sub>により制御されるアナログスイッチ2bがONとならず、図6に示すように、ビデオ信号入力端子Qの出力パルスに欠けが生じる異常が現れる。

【0029】以上のようにして、走査側とデータ側の検査を行い不良が発見された場合には、可能であればレーザ等による修正が行われる。また、良品とされたものについては、液晶を介して対向電極を向かい合わせに組み付けられて液晶表示装置となる。そして、さらに分断工程において、上記アクティブマトリクス基板上のデータ側検査用信号線4と走査側検査用信号線5とが分断除去され、それぞれ各データ信号線X及び走査信号線が分離される。

【0030】この結果、走査側の検査の場合には、2箇所の走査側検査信号出力端子Gの出力信号をモニタし、データ側の検査の場合には、2箇所のデータ側検査信号入力端子Sから検査信号を入力すると共に、1箇所のビデオ信号入力端子Qの出力信号をモニタするだけで、ア

クティブマトリクス基板の不良を容易に検査することができる。

【0031】図7乃至図9に本発明の第2の実施例を示す。この実施例は、図7に示すように、ビデオ信号線2aが2本設けられたアクティブマトリクス基板に対して行われるものである。

【0032】この実施例では、各データ信号線Xが1本のデータ側検査用信号線4に共通に接続されている。そして、データ信号線駆動回路2を動作させながら、データ側検査信号入力端子Sに1種類の検査信号を入力し、2本のビデオ信号線2aの各ビデオ信号入力端子Qからの出力をモニタする。即ち、図8に示すように、シフトレジスタ2cの各出力XXから順次パルス信号を出力させると共に、データ側検査信号入力端子Sにパルス状の検査信号を入力すると、データ信号線駆動回路2が正常に動作し、かつ、データ信号線Xに断線やリーク等が発生していない場合には、2つのビデオ信号入力端子Qに図示のようなパルス信号が出力される。ところが、例えばシフトレジスタ2cの3番目の出力XX、が正常に出力されなかったり、当該アナログスイッチ2bがONしなかつたり、又はデータ信号線X、に断線が発生していた場合には、図9に示すように、一方のビデオ信号入力端子Q、の出力パルスに欠けが生じる異常が現れる。

【0033】従って、この実施例の場合には、ビデオ信号線2aが2本あるため、データ側検査用信号線4を1本にまとめても、隣接するデータ信号線X同士を確実に区別して検査することが可能となる。なお、走査側の検査については第1実施例の場合と同様に行うことができ、以下の実施例でも同じである。

【0034】図10乃至図12に本発明の第3の実施例を示す。ここでも、図10に示すように、ビデオ信号線2aが2本設けられたアクティブマトリクス基板について説明する。

【0035】この実施例では、各データ信号線Xが、第1実施例の場合と同様に、1本おきに2本のデータ側検査用信号線4にそれぞれ共通に接続されている。そして、データ信号線駆動回路2を動作させながら、2つのデータ側検査信号入力端子Sに図11に示すようなパルス信号をそれぞれ入力すると、データ信号線駆動回路2が正常に動作し、かつ、データ信号線Xに断線やリーク等が発生していない場合には、2つのビデオ信号入力端子Qに図示のような互いに反転したパルス信号が出力される。ところが、例えばシフトレジスタ2cの3番目の出力XX、が正常に出力されなかったり、当該アナログスイッチ2bがONしなかつたり、又はデータ信号線X、に断線が発生していた場合には、図12に示すように、一方のビデオ信号入力端子Q、の出力パルスに欠けが生じる異常が現れる。

【0036】従って、この実施例の場合にも、隣接するデータ信号線X同士を確実に区別して検査することが可

能となる。

【0037】図13乃至図16に本発明の第4の実施例を示す。ここでは、図13に示すように、ビデオ信号線2aが3本設けられたアクティブマトリクス基板について説明する。

【0038】この実施例では、各データ信号線Xが、第2実施例の場合と同様に、1本のデータ側検査用信号線4に共通に接続されている。そして、データ信号線駆動回路2を動作させながら、データ側検査信号入力端子Sに図14に示すようなパルス信号を入力すると、データ信号線駆動回路2が正常に動作し、かつ、データ信号線Xに断線やリーク等が発生していない場合には、3つのビデオ信号入力端子Qに図示のようなパルス信号がそれぞれ出力される。ところが、例えばシフトレジスタ2cの4番目の出力XX、が正常に出力されなかったり、当該アナログスイッチ2bがONしなかつたり、又はデータ信号線X、に断線が発生していた場合には、図15に示すように、ビデオ信号入力端子Q、の出力パルスに欠けが生じる異常が現れる。また、シフトレジスタ2cの出力XXが常にHレベルとなつたり、4番目のアナログスイッチ2bが常時ONとなつた場合には、図16に示すように、ビデオ信号入力端子Q、の出力パルスが検査信号と同じになるという異常が現れる。

【0039】従って、この実施例の場合にも、隣接するデータ信号線X同士を確実に区別して検査することが可能となる。

【0040】図17乃至図20に本発明の第5実施例を示す。ここでも、図17に示すように、ビデオ信号線2aが3本設けられたアクティブマトリクス基板について説明する。

【0041】この実施例では、各データ信号線Xが、第1実施例等の場合と同様に、1本おきに2本のデータ側検査用信号線4にそれぞれ共通に接続されている。そして、データ信号線駆動回路2を動作させながら、2つのデータ側検査信号入力端子Sに図18に示すような互いに反転したパルス信号をそれぞれ入力すると、データ信号線駆動回路2が正常に動作し、かつ、データ信号線Xに断線やリーク等が発生していない場合には、3つのビデオ信号入力端子Qに図示のようなパルス信号が出力される。ところが、例えばシフトレジスタ2cの4番目の出力XX、が正常に出力されなかったり、当該アナログスイッチ2bがONしなかつたり、又はデータ信号線X、に断線が発生していた場合には、図19に示すように、ビデオ信号入力端子Q、の出力パルスに欠けが生じる異常が現れる。また、シフトレジスタ2cの出力XXが常にHレベルとなつたり、4番目のアナログスイッチ2bが常時ONとなつた場合には、図20に示すように、ビデオ信号入力端子Q、の出力パルスがデータ側検査信号入力端子S、に入力される検査信号と同じになるという異常が現れる。

【0042】従って、この実施例の場合にも、隣接するデータ信号線X同士を確実に区別して検査することが可能となる。

【0043】

【発明の効果】以上の説明から明らかなように、本発明のアクティブマトリクス基板の検査方法によれば、1本又は2本の検査用信号線によって、多数の出力を有するデータ信号線駆動回路や走査信号線駆動回路及び多数のデータ信号線や走査信号線等の欠陥を容易かつ確実に検査することができるようになる。

【図面の簡単な説明】

【図1】本発明の第1実施例を示すものであって、アクティブマトリクス基板のブロック図である。

【図2】本発明の第1実施例を示すものであって、検査時に走査信号線駆動回路から走査信号線に出力される走査信号と検査用信号線の出力信号を示すタイムチャートである。

【図3】本発明の第1実施例を示すものであって、図2における走査信号線断線時の検査用信号線の出力信号を示すタイムチャートである。

【図4】本発明の第1実施例を示すものであって、図2における不良時の検査用信号線の出力信号を示すタイムチャートである。

【図5】本発明の第1実施例を示すものであって、検査時にデータ信号線駆動回路からアナログスイッチに出力される信号と検査用信号線に送られる検査信号とビデオ信号線からの出力信号を示すタイムチャートである。

【図6】本発明の第1実施例を示すものであって、図5における不良時のビデオ信号線からの出力信号を示すタイムチャートである。

【図7】本発明の第2実施例を示すものであって、アクティブマトリクス基板のブロック図である。

【図8】本発明の第2実施例を示すものであって、検査時にデータ信号線駆動回路からアナログスイッチに出力される信号と検査用信号線に送られる検査信号とビデオ信号線からの出力信号を示すタイムチャートである。

【図9】本発明の第2実施例を示すものであって、図8における不良時のビデオ信号線からの出力信号を示すタイムチャートである。

【図10】本発明の第3実施例を示すものであって、アクティブマトリクス基板のブロック図である。

【図11】本発明の第3実施例を示すものであって、検査時にデータ信号線駆動回路からアナログスイッチに出力される信号と検査用信号線に送られる検査信号とビデオ信号線からの出力信号を示すタイムチャートである。

【図12】本発明の第3実施例を示すものであって、図11における不良時のビデオ信号線からの出力信号を示すタイムチャートである。

【図13】本発明の第4実施例を示すものであって、アクティブマトリクス基板のブロック図である。

【図14】本発明の第4実施例を示すものであって、検査時にデータ信号線駆動回路からアナログスイッチに出力される信号と検査用信号線に送られる検査信号とビデオ信号線からの出力信号を示すタイムチャートである。

【図15】本発明の第4実施例を示すものであって、図14における不良時のビデオ信号線からの出力信号を示すタイムチャートである。

【図16】本発明の第4実施例を示すものであって、図14における他の不良時のビデオ信号線からの出力信号を示すタイムチャートである。

【図17】本発明の第5実施例を示すものであって、アクティブマトリクス基板のブロック図である。

【図18】本発明の第5実施例を示すものであって、検査時にデータ信号線駆動回路からアナログスイッチに出力される信号と検査用信号線に送られる検査信号とビデオ信号線からの出力信号を示すタイムチャートである。

【図19】本発明の第5実施例を示すものであって、図18における不良時のビデオ信号線からの出力信号を示すタイムチャートである。

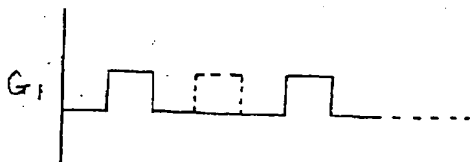
【図20】本発明の第5実施例を示すものであって、図18における他の不良時のビデオ信号線からの出力信号を示すタイムチャートである。

【図21】従来例を示すものであって、アクティブマトリクス基板のブロック図である。

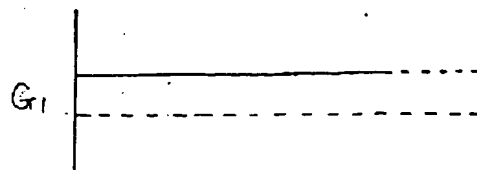
【符号の説明】

- 1 画素部
- 2 データ信号線駆動回路
- 3 走査信号線駆動回路
- 4 データ側検査用信号線
- 5 走査側検査用信号線
- 40 X データ信号線
- Y 走査信号線

【図3】

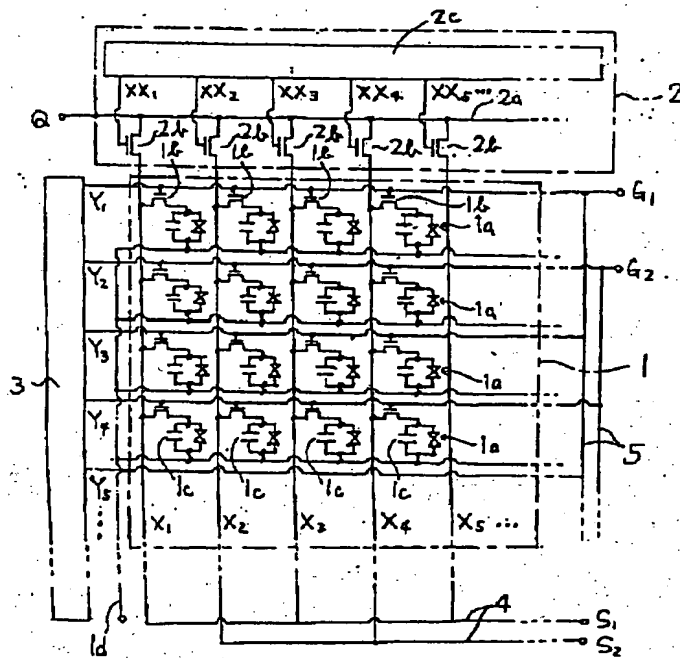


【図4】

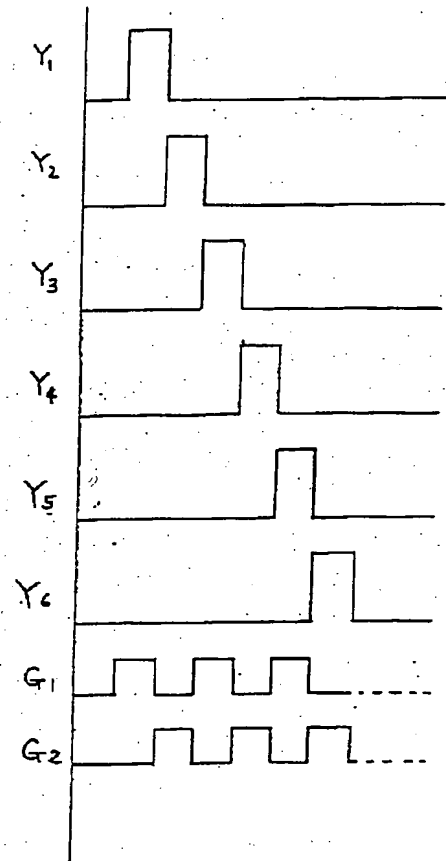




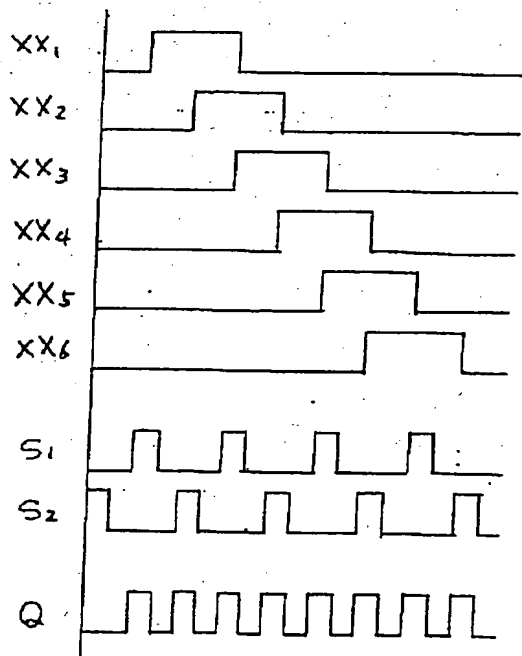
【図 1】



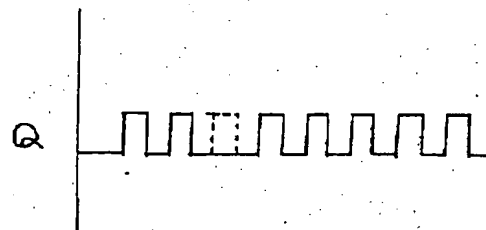
【図 2】



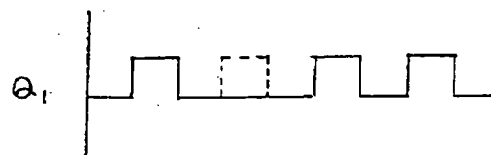
【図 5】



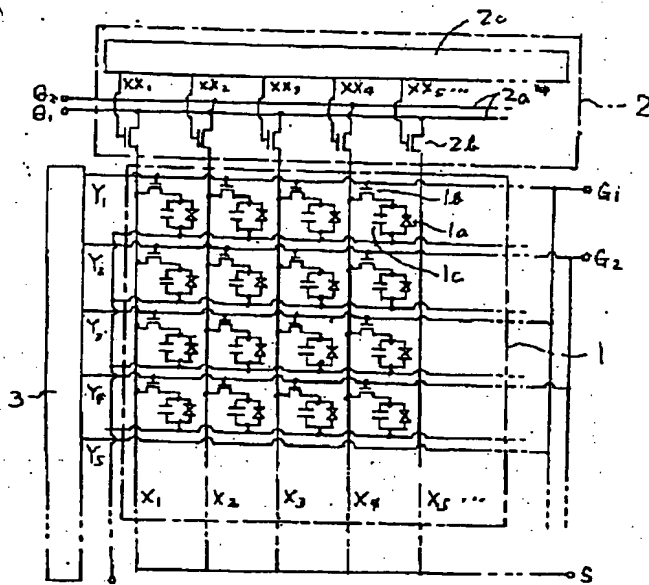
【図 6】



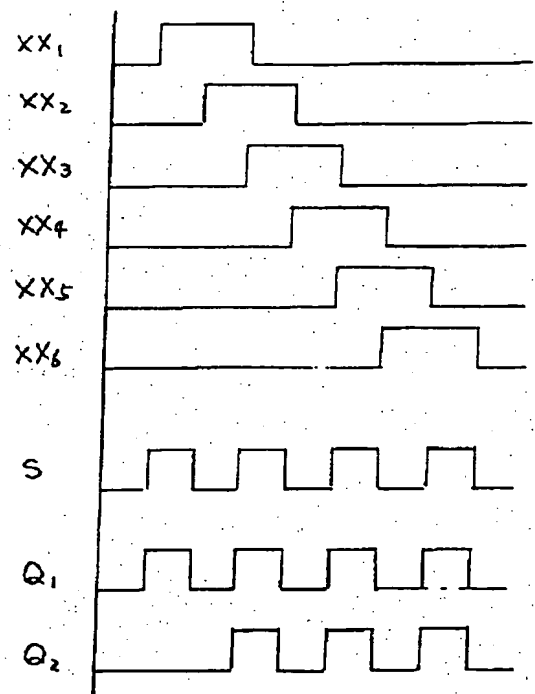
【図 9】



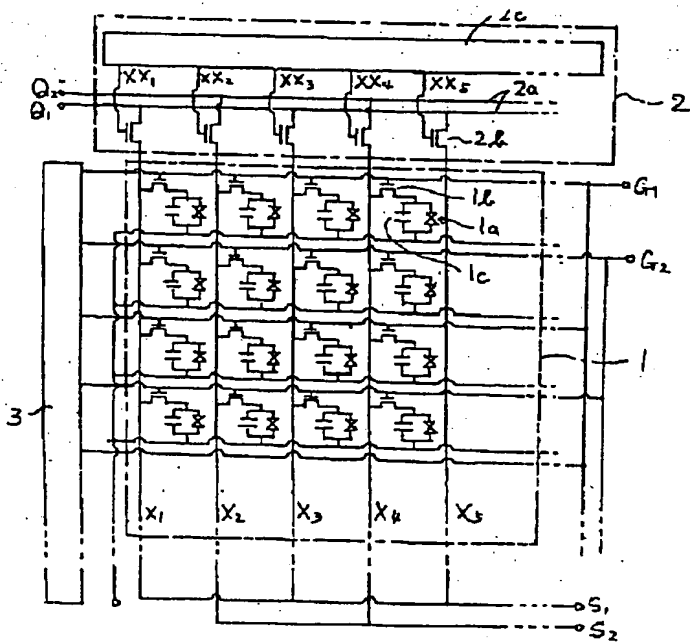
【図 7】



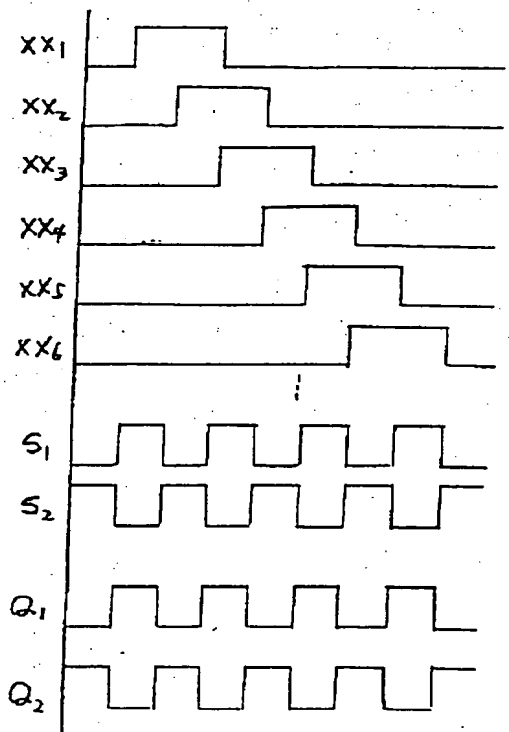
【図 8】



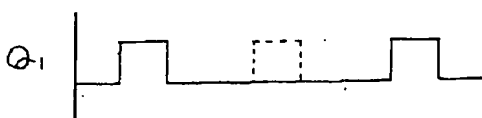
【図 10】



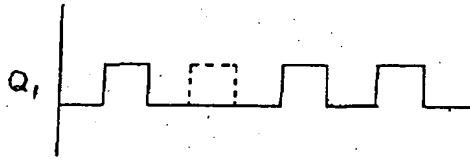
【図 11】



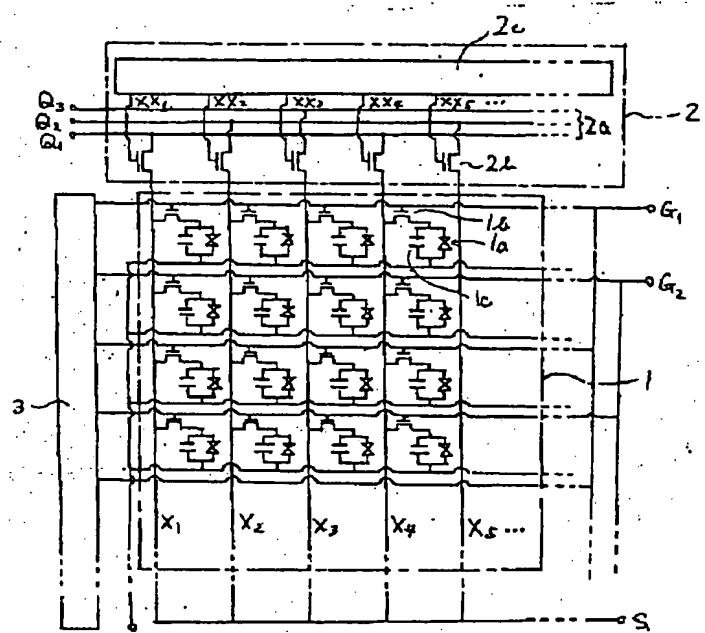
【図 19】



【図 12】



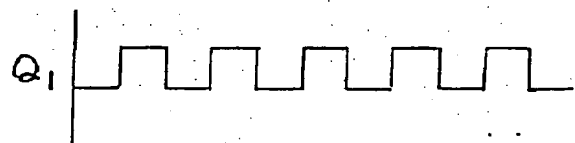
【図 13】



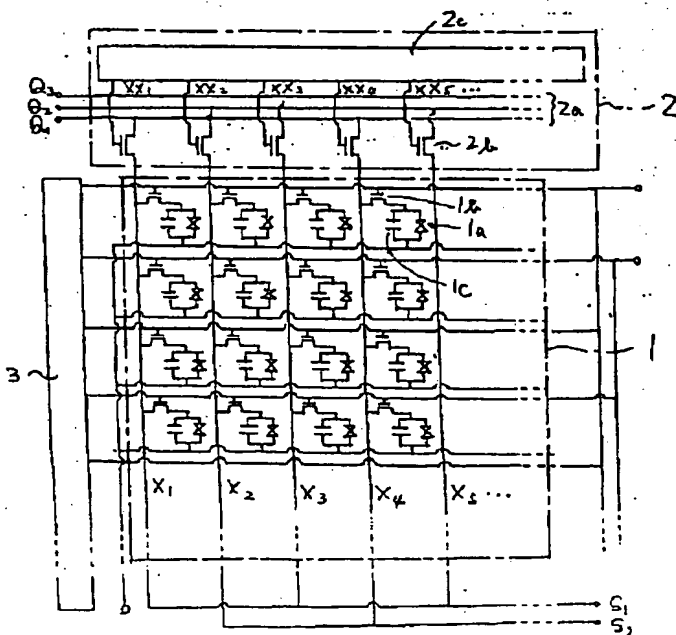
【図 15】



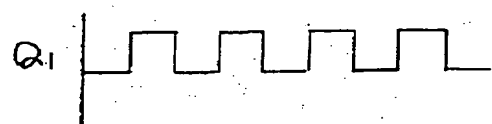
【図 16】



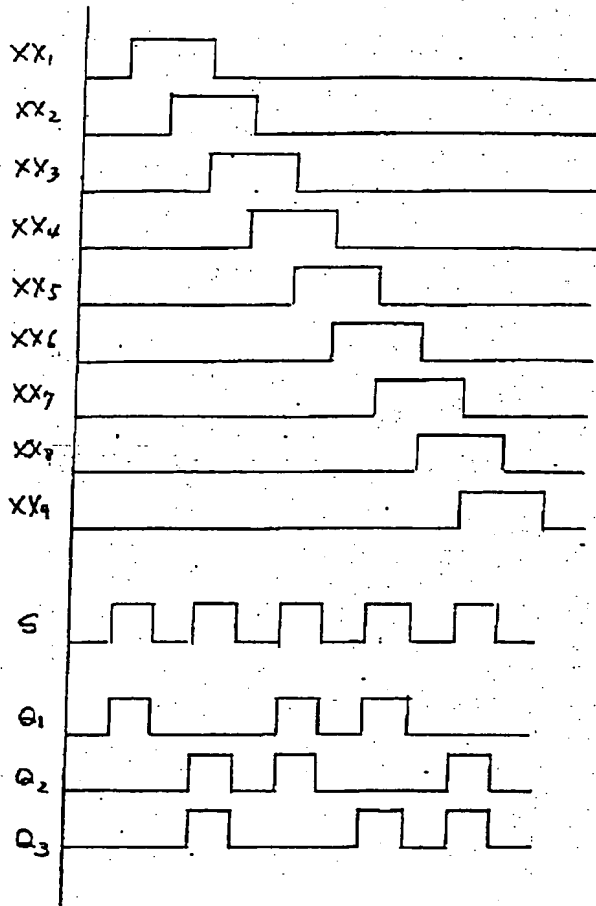
【図 17】



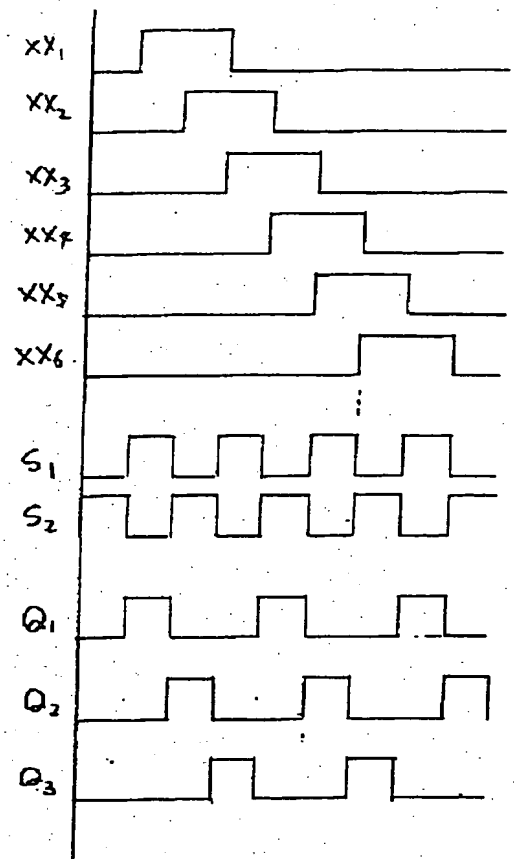
【図 20】



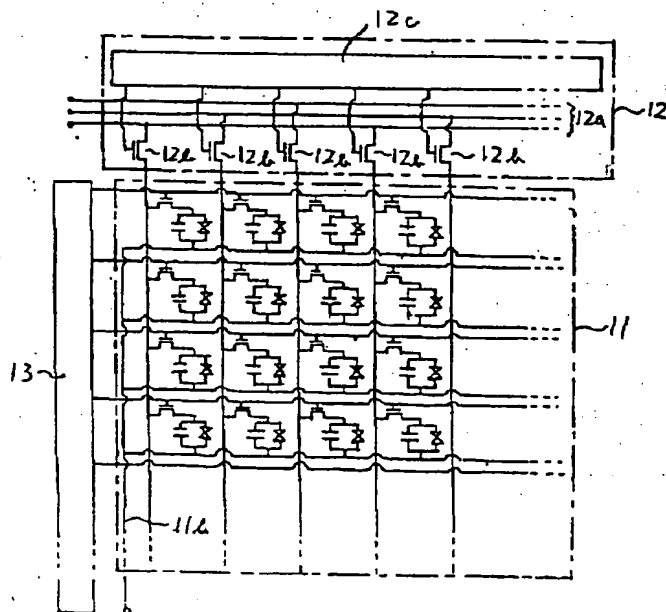
【 図 1 4 】



【 図 1 8 】



【 図 2 1 】



フロントページの続き

(12)発明者 ▲高▼藤 裕

大阪市阿倍野区長池町 2 2 番 2 2 号 シャ

ープ株式会社内

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☒ **FADED TEXT OR DRAWING**
- ☒ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**